

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-321868

(43)Date of publication of application : 04.12.1998

(51)Int.Cl.

H01L 29/786
H01L 21/768
H01L 27/12
H01L 29/78
H01L 21/336

(21)Application number : 10-091319

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 03.04.1998

(72)Inventor : MATTHEW J RATTEN
VOLDMAN STEVEN H

(30)Priority

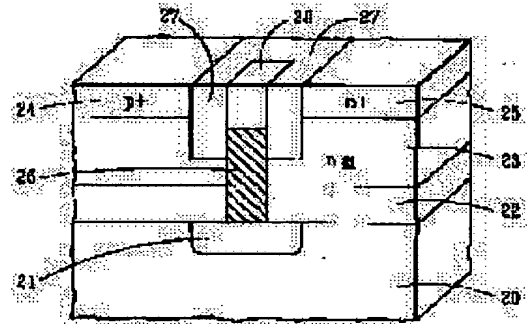
Priority number : 97 835128 Priority date : 04.04.1997 Priority country : US

**(54) SEMICONDUCTOR DEVICE HAVING ELECTRICAL CONTACT TO EMBEDDED SOI
STRUCTURE AND MANUFACTURE THEREOF**

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a SOI semiconductor device, including a conductive stud for connecting a bulk active device and a SOI(silicon-on-insulator) device with each other.

SOLUTION: Substrates 20, 23 are isolated by an embedded insulating layer 22, and there are injected substances for source and drain of the opposite polarities on layer regions 24, 25. An electrical connection 26 is partly isolated by an insulator 27 and an upper insulator 28. A region 21 is made of an injected substance of the same polarity or of opposite polarity to that of the bulk substrate 20. In the case where the dopants of the regions 23, 21, 20 have the same polarity, a SOI MOSFET body is a bulk contact or a thermal joint, and functions as a SOI MOSFET body contact. In the case where the dopants of the regions 23, 21 have the same polarity while the dopant of the region 20 has the opposite polarity, the SOI MOSFET body and the region 21 form a diode for the bulk substrate, which can be used for the polarity of the dopant used, for an example, in circuit application, voltage clamp, ESD(electrostatic discharge) protection, and other circuit functions.

**LEGAL STATUS**

[Date of request for examination]

20.10.1998

[Date of sending the examiner's decision of
rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 2974211

[Date of registration] 03.09.1999

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-321868

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.⁸
H 0 1 L 29/786
21/768
27/12
29/78
21/336

識別記号

F I
H 0 1 L 29/78 6 1 3 Z
27/12 C
21/90 C
29/78 3 0 1 P

審査請求 未請求 請求項の数23 O L (全 11 頁)

(21) 出願番号 特願平10-91319
(22) 出願日 平成10年(1998)4月3日
(31) 優先権主張番号 08/835128
(32) 優先日 1997年4月4日
(33) 優先権主張国 米国 (US)

(71) 出願人 390009531
インターナショナル・ビジネス・マシー
ズ・コーポレーション
INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION
アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)
(72) 発明者 マシュー・ジェイ・ラッテン
アメリカ合衆国05468 バーモント州ミル
トン エルマー・ブレース 23
(74) 代理人 弁理士 坂口 博 (外1名)

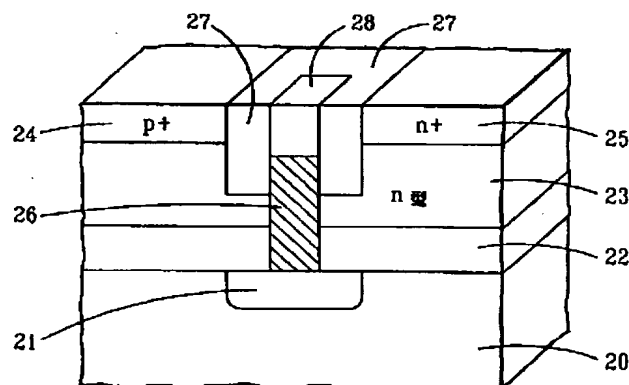
最終頁に続く

(54) 【発明の名称】 埋め込みSOI構造への電気接点を有する半導体デバイスおよびその製造方法

(57) 【要約】 (修正有)

【課題】 バルク能動デバイスとSOIデバイスの両者を接続する導電性スタッドを含むSOI半導体デバイス。

【解決手段】 基板20、23は埋め込み絶縁層22により分離され、層領域24、25の上には逆の極性のソース/ドレインのための注入物がある。電気接続26は絶縁体27、上部絶縁体28によって部分的に分離される。領域21はバルク基板20と同じまたは逆の極性の注入物とする。領域23、21、20のドーパントの極性が同じ場合、SOI MOSFET本体はバルク接点または熱接点であり、SOI MOSFETボディ接点として働く。領域23、21のドーパントの極性が同じで領域20が逆の場合、SOI MOSFET本体と領域21はバルク基板に対するダイオードを形成し、回路応用例、電圧クランプ、ESD保護、および他の回路機能に使用するドーパントの極性用とすることができる。



(2)

【特許請求の範囲】

【請求項1】 バルク能動デバイスおよびSOIデバイスと、前記バルク能動デバイスと前記SOIデバイスとを電氣的に相互接続する導電性スタッドとを備えるSOI半導体デバイス。

【請求項2】 前記導電性スタッドが、タングステン、銅、アルミニウム、高ドーパ多結晶シリコンからなる群から選択された高導電性導電材料である、請求項1に記載のSOI半導体デバイス。

【請求項3】 絶縁体が二酸化シリコンである、請求項1に記載のSOI半導体デバイス。

【請求項4】 前記導電性スタッドが前記半導体デバイスの上部半導体基板材料の上面に延びる、請求項1に記載のSOI半導体デバイス。

【請求項5】 前記導電性スタッドが前記半導体デバイスの上部半導体基板材料の上面から電氣的に分離されている、請求項1に記載のSOI半導体デバイス。

【請求項6】 前記導電性スタッドが前記半導体デバイスの上部半導体基板材料から電氣的に分離されている、請求項1に記載のSOI半導体デバイス。

【請求項7】 前記導電性スタッドが前記半導体デバイスの上部半導体基板材料から部分的にのみ電氣的に分離されている、請求項1に記載のSOI半導体デバイス。

【請求項8】 能動デバイス領域をその中に有するシリコン基板と、上記シリコン基板の上に配置された埋め込み二酸化シリコン絶縁体層と、前記埋め込み二酸化シリコン絶縁体層の上に配置された能動デバイス領域を有する上部シリコン層と、前記シリコン基板内の能動領域を前記埋め込み二酸化シリコンの上の能動デバイス領域に相互接続する導電性スタッドと、前記スタッドを前記上部シリコン層から少なくとも部分的に電気絶縁する絶縁体とを備える、請求項1に記載のSOI半導体デバイス。

【請求項9】 前記スタッドを前記上部シリコン層の上面から電氣的に分離する絶縁体をさらに含む、請求項8に記載のSOI半導体デバイス。

【請求項10】 前記スタッドが前記上部シリコン層の上面に延びる、請求項8に記載のSOI半導体デバイス。

【請求項11】 シリコン基板と、前記シリコン基板の上にあり、導電性領域をその中に有する埋め込み二酸化シリコン絶縁体層と、前記埋め込み二酸化シリコン絶縁体層の上に配置された能動デバイス領域を有する上部シリコン層と、前記埋め込み二酸化シリコン絶縁体層中に配置された導電性領域を前記埋め込み二酸化シリコンの上の能動デバイス領域に電氣的に相互接続する導電性スタッドと、前記スタッドを前記上部シリコン層から少なくとも部分的に電氣的に絶縁する絶縁体とを含む、請求項1に記載のSOI半導体デバイス。

【請求項12】 前記スタッドを前記上部シリコン層の上面から電氣的に分離する絶縁体をさらに含む、請求項11に記載のSOI半導体デバイス。

【請求項13】 前記スタッドが前記上部シリコン層の上面に延びる、請求項11に記載のSOI半導体デバイス。

【請求項14】 能動領域をその中に有するシリコン基板と、前記シリコン基板の上に配置され、導電性領域をその中に有する埋め込み二酸化シリコン層と、前記埋め込み二酸化シリコン絶縁体層の上に配置された能動デバイス領域を有する上部シリコン層と、前記埋め込み二酸化シリコン絶縁体層中に配置された前記導電性領域を前記シリコン基板内の能動領域に相互接続する導電性スタッドと、前記スタッドを前記上部シリコン層から少なくとも部分的に電氣的に絶縁する絶縁体とを含む、請求項1に記載のSOI半導体デバイス。

【請求項15】 前記スタッドが前記上部シリコン層の上面に延びる、請求項14に記載のSOI半導体デバイス。

【請求項16】 前記スタッドが前記上部シリコン層内の能動デバイス領域をも相互接続する、請求項14に記載のSOI半導体デバイス。

【請求項17】 SOI半導体デバイス中のバルク能動デバイスとSOIデバイスとの間の電氣的相互接続を製作し形成する方法であって、

- a) SOIバルク基板内に能動デバイスを設けるステップと、
- b) 前記SOIバルク基板の上に上部半導体基板材料を設けるステップと、
- c) 前記上部半導体基板材料上に能動デバイスを設けるステップと、
- d) 前記上部半導体基板上に誘電体層を設けるステップと、
- e) 上部半導体基板材料上の能動デバイスと前記SOIバルク基板内の能動デバイスとの間に接触トレンチを画定するステップと、
- f) 前記トレンチ内に金属タイプの高導電性電気相互接続材料を付着させて前記電気相互接続を設けるステップとを含む方法。

【請求項18】 前記高導電性電気相互接続材料が、タングステン、銅、アルミニウム、および高ドーパ多結晶シリコンからなる群から選択される、請求項17に記載の方法。

【請求項19】 前記誘電体層が二酸化シリコンである、請求項17に記載の方法。

【請求項20】 電気相互接続を上部半導体層から少なくとも部分的に分離するために絶縁体を設けるステップをさらに含む、請求項17に記載の方法。

【請求項21】 上部半導体層から電気相互接続を少なくとも部分的に分離するために絶縁体を設ける前記ステップをステップbとステップcとの間に実施する、請求項20に記載の方法。

【請求項22】 請求項20に記載の方法によって得られ

(3)

3

るSOI半導体デバイス。

【請求項23】請求項17に記載の方法によって得られるSOI半導体デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バルク能動デバイスとSOI（シリコン・オン・インシュレータ）デバイスとを含むSOI半導体デバイスに関する。より詳細には、本発明はSOI構造の誘電体の上および下にあるデバイス間に電気接続を提供することに関する。本発明はまた、これらのデバイスを製造し必要な電気相互接続を設けるための方法にも関する。本発明は特に埋め込みSOI構造へのライン後端（BEOL）接触に関する。

【0002】

【従来の技術】バルク・シリコン上でのMOSFETのスケールアップは、半導体およびマイクロエレクトロニクス業界のCMOSチップの性能および密度の目標達成のための主眼点であった。MOSFETの寸法を縮小して高密度、低電力、高性能を達成するには電源電圧を低くしなければならない。消費電力 P は静電容量 C 、電源電圧 V 、および遷移周波数 f の関数で、 $P = CV^2f$ であるため、遷移周波数 f の増大に伴って C および V を減少させることが主眼点であった。その結果、誘電体厚みおよびチャネル長さは電源電圧と共に減少する。供給電力の低減が引き続き将来の低電圧CMOSへの趨勢である。しかし、供給電力の低減につれて、低電圧におけるトランジスタの性能は接合容量とMOSFETの本体効果の影響を大きく受ける。技術がチャネル長さ $0.25\mu\text{m}$ 未満から $0.15\mu\text{m}$ 、 $0.1\mu\text{m}$ へとスケールが縮小するにつれて、短チャネル効果（SCE）の制御、ゲート抵抗、チャネル・プロファイリング、およびその他の障害が先端CMOS技術にとって問題となってくる。バルクCMOSの縮小に関しては著しい成功が達成されてきたが、製造制御の問題と電力消費はますます対応が困難になってくる。

【0003】シリコン・オン・インシュレータ（SOI）基板を用いることにより、低電源電圧におけるバルク・シリコンCMOSの問題および障害の多くが解消できる。SOI上CMOSはバルクCMOS技術に比べて著しい利点があり、将来技術のための低電力および高性能という縮小の目的を達成するであろう。SOI上CMOSは、低消費電力、低漏洩電流、低容量ダイオード構造、良好な閾値下 $I-V$ 特性（ドレイン電流 I として $I_{\text{off}}/I_{\text{on}}$ に対して G_{ate} 電圧 60mV 以上）、低いアルファ粒子および宇宙線によるソフト・エラー率、良好なSRAMアクセス時間、その他の技術上の利点をもたらす。SOI技術により、標準の先端技術を大幅に修正することなくSOI技術に移行させることができる。SOIプロセス技術には、エピタキシャル側方過剰成長（ELO）、側方固相エピタキシ（LSPE）、および

4

多孔質二酸化シリコンによる完全分離（FIPOS）が含まれる。SOIネットワークは、注入酸素による分離（SIMOX）技術と、ウエハ接着およびエッチバック（SIBOND）技術の半導体プロセスを用いて作成することができる。これらの技術は、低欠陥密度、薄膜制御、良好な少数キャリア寿命、および良好なチャネル移動度特性を達成できるからである。構造のフィーチャは浅いトレンチ分離（STI）で画定される。浅いトレンチ分離は、平面度の問題と、LOCOSのバース・ピークなど多次元の酸化効果をなくし、それによって技術移転および $0.25\mu\text{m}$ 以下への縮小技術を可能にする。

【0004】SOI技術には多くの問題がある。電流による自己加熱の熱放散が一つの問題である。この場合、バルクへの低熱抵抗接触（たとえば熱接触）を確立できるとこの問題が軽減される。

【0005】薄膜SOI技術においては、アナログの適用例で通常用いられる縦型ダイオード、縦型トランジスタ、縦型pnpn、その他のバルク型素子はない。バルク・シリコン中に配置することができるアナログ回路およびデバイス素子を用いて、チップ面積を削減し、バルク・シリコン様の回路動作を達成することができる。

【0006】もう一つの障害は静電放電の保護（ESD）である。SOIの問題の一つは、ポリシリコン・ゲート・エッジがないプロセスに適したダイオードがないということである。薄膜SOI技術では、静電放電保護に通常用いられる縦型ダイオード、縦型トランジスタ、縦型pnpn、その他のバルク型素子はない。バルク・シリコン内に配置することができるESD回路およびデバイス素子を使って、チップ面積を削減し、バルク・シリコン様の回路動作を達成することができる。大容量商業用途に適したメインストリームSOI技術において、ESDの頑丈さを達成するには、ESD保護構造および回路は、低い抵抗と静電容量を持たなければならない。また半導体チップ面積に占める割合が小さくなければならない。SOI ESDネットワークの欠点は、1) バルク基板に対する高い熱インピーダンス、2) 薄膜、3) ポリシリコン・ゲート構造、および4) 縦型二酸化シリコンの欠如である。高い熱インピーダンスは、SOI膜内で表面温度を高くし、SOIデバイス内に熱による二次損傷をもたらす。薄膜SOIデバイスは電流密度を高くし、重大な電力／密度の制約を生ずる。ポリシリコン・ゲート構造は高い静電容量を生じ、電気的過負荷と誘電破壊を起こしやすい。縦型構造がないと、バルクへの電流の放散が妨げられ、周囲の広い横型構造を構築せざるを得ない。その結果、SOIの一つの欠点は、負パルスESD保護が正パルスESD保護と同様に困難なことである。比較的小さい構造を使用したバルク・シリコンでは、負モードのパルスに対する保護は、バルク基板に電流が放散するため、容易に達成されるが、SOIではそうではない。このため設計者は正モード保護方式と同

(4)

5

様の面積を負モードに割り当てざるを得ない。

【0007】従来技術において、ESD保護を達成するために様々な方法がこれまでに提案されてきた。標準的な回路がSOI中に作成され、ESD保護のために用いられている。K. フェルヘーゲ (Verhaege) 他 (「Analysis of Snapback in SOI NMOSFETs and its use for an SOI ESD Protection Circuit」, Proceedings of the IEEE SOI Conference, pp.140-141, 1992)、および

(「Double Snapback in SOI NMOSFETs and its Application for SOI ESD Protection」, IEEE Electron Device Lett., Vol.14, No.7, July 1993, pp. 326-328) は、ESD保護デバイスとしてSOI MOSFETトランジスタを使用することを示している。ルー (Lu)

(米国特許第4989057号「ESD Protection for SOI Circuits」) はESD保護のためSOI膜においてトランジスタを使用することを示している。ウォールドマン (Voldman) 他 (「CMOS-on-SOI ESD Protection Network」, EOS/ESD Proceedings, Sept. 1996) はMOSFETをダイオード動作モードで構成することにより、SOI ESD デバイスが構築できることを示している。第1の問題は、SOIベースのESD回路が、バルク・デバイスのせいぜい半分でしかないことである。M. チャン

(Chan) 他 (「Comparison of ESD Protection Capability of SOI and Bulk CMOS Output Buffers」, IRPS, 1994) はSOI回路の頑丈さがESDの半分であることを示している。このため、非常に大きいESDネットワークが必要となり、大きさおよび静電容量負荷の点で受け入れられない。第2の問題は、構造が全てMOSFETベースであることである。上記の構造は全てポリシリコン・ゲート構造を採り入れている。ポリシリコン・ゲート構造の問題点は誘電過負荷および単位幅あたり高い静電容量である。信頼性および機能の点からこれらの解決法は共に許容できない。

【0008】これらの実施態様においては、これらの構造は能動コアSOI回路に隣接するバルク素子のみを利用している。カワイ (米国特許第4889829号) は基板中にバルク・トランジスタを構築し、絶縁膜中にSOIトランジスタを構築する方法を示している。この方法では、バルク・トランジスタは、同じ平面内で能動領域構造に隣接して構築する必要がある。そのため、バルク・トランジスタへの追加のチップ面積と、表面凹凸の配慮が必要となる。カワイは顕著な表面凹凸を導入しているが、そのため高密度および高平面度の集積の問題にとって許容できなくなる。

【0009】サン (Sun) (米国特許第5399507号) は、ESDデバイスをバルク内に構築し、酸素注入をマスクし、コアSOIデバイスを絶縁層の上に構築する、混合薄膜を提案している。このコンセプトにおいては、ESD MOSFET構造は同じ物理的シリコン平面内で能動集積回路に隣接して配置される。このコンセプトで

6

は、平面性の配慮は不要であるが、シリコンの位置ずれが生じ、これは製造の点から許容できない。シリコンの位置ずれを避けるために、能動コアSOI構造を空間的に分離して歩留りの問題を回避しなければならない。そうすると面積に不利が生じる。提案された解決法はSOI薄膜中にESDネットワークを構築する際の問題を解決するが、半導体製造上の問題点、歩留りの問題および表面凹凸の問題は解決されない。

【0010】上記において、能動回路の下でのESD構造を用いて半導体チップ面積の問題をなくするESD解決法は提案されていない。カワイおよびサンにおいては、ESDデバイスにSOI MOSFETおよびダイオード構造を用いることを、バルクMOSFETデバイスの構築によって回避している。フェルヘーゲおよびルーにおいては、バルク・デバイスが回避されている。即ち従来技術においては、ESD保護のためにバルク・トランジスタとSOIトランジスタとを用いる明白な動機はない。また、ESD解決法として三次元構造は示唆も提案もされていない。これは、SOI MOSFETの下にバルクMOSFETを構築することが不可能だからである。オーミ (米国特許第4907053号) は、二重ゲートMOSFETを用いて、SOI MOSFETトランジスタ内のバックゲート・バイアスの問題に対処している。オーミは、頂部ゲートと底部ゲートとを備え、底部ゲートがバルク内に配置され、頂部ゲートがSOI膜の上にある、SOI MOSFETを構築することが可能なことを示唆している。オーミの相互接続によって示唆される実施態様はこの構造内では対処されていない。

【0011】相互接続を必要とする構造要素は、MOSFET頂部ゲート、底部ゲート、本体、ソース/ドレイン拡散領域、およびバルク構造要素である。

【0012】SOI構造は、頂部ゲートと底部ゲートの構造を含むことができる。SIBOND実施態様においては、埋め込み底部ゲートは埋め込み酸化層中に存在できる。SIMOX実施態様において、拡散した第2ゲートはシリコン基板内に存在し、形成することができる。相互接続構造はシリコン表面、本体、底部ゲート、およびバルク・デバイス素子の間に電気接続を確立するのに必要である。異なる素子の間の相互接続要素は単一ゲートCMOS-on-SOI、二重ゲートCMOS-on-SOI、動的閾値MOSFET (DTMOS) にとって有利である。動的閾値MOSFETにおいては、MOSFETトランジスタの閾値電圧を動的に変化させるのにMOSFET本体を使用する。

【0013】SOIの問題点は「本体接触」である。問題は本体と電位との間に電気接続を確立するのに必要な追加面積である。バルクCMOSでは、基板は「MOSFET本体」のための自然の接地面として働く。SOIでは、本体、電源接続、バルク・デバイス、またはバルク接点の間に接続を確立するのに、新しい3次元構造が

7

有利である。

【0014】二重ゲートCMOS-on-SOIにおいては、埋め込みゲートまたは拡散バルク・ゲートを接続する相互接続が、追加のシリコン面積を回避するのに有利である。

【0015】動的閾値MOSFETにおいては、埋め込みゲートまたは拡散バルク・ゲートをMOSFET本体に接続する相互接続が、追加のシリコン面積を削減するのに有利である。

【0016】バルク素子、またはバルク素子およびSOI素子からなる3次元回路では、これらの素子間の相互接続は追加のシリコン面積を削減するのに必要である。

【0017】バルク素子、またはバルク素子およびSOI素子からなるバルクESDネットワークでは、これらの素子間の相互接続は追加のシリコン面積を削減するのに必要である。

【0018】

【発明が解決しようとする課題】本発明は、SOI技術におけるESD保護の問題、および3次元ESDネットワーク形成のための相互接続に関する。

【0019】本発明は、ESDネットワークが能動コア回路の下にある、3次元SOI構造の構築により、高周囲、空間集約的ESDネットワークの問題に対処する。

【0020】本発明は、バルク・シリコン中にダイオード・ベースのESDネットワークのための相互接続を構築することにより、高周囲、高容量ポリシリコン・ゲートの問題を回避する。

【0021】本発明は、ESDネットワークがバルクESDネットワークの上に、またはそれに隣接してバルク内およびSOI膜内にある3次元相互接続SOI構造の構築により、高周囲、空間集約的ESDネットワークの問題に対処する。

【0022】本発明は、3次元動的閾値MOSFET SOI回路用の相互接続構造を提供する。

【0023】本発明は、デバイス構造の一部分にバルク・シリコンを使用することを可能にする。具体的には、本発明は、バルク・シリコン内のデバイスとSOI構造に埋め込まれたデバイスの間の電気接続を提供する。

【0024】特に、本発明はバルク能動デバイスとSOIデバイスとを含むSOI半導体デバイス、ならびにバルク能動デバイスをSOIデバイスと相互接続する導電性スタッドに関する。

【0025】さらに、本発明はSOI半導体デバイス内バルク能動デバイスとSOIデバイスとの間に電気相互接続を製作し形成する方法に関する。

【0026】

【課題を解決するための手段】本発明の方法は、SOIバルク基板内に能動デバイスを設けるステップと、前記SOIバルク基板の上に配置された上部半導体基板材料を設けるステップと、上部半導体基板材料上に能動デバ

(5)

8

イスを設けるステップと、上部半導体基板上に誘電層を設けるステップと、上部半導体基板材料上の能動デバイスとSOIバルク基板内の能動デバイスとの間に接触トレンチを画定するステップと、トレンチ内に金属タイプの高導電性電気相互接続材料を付着させて、所望の電気相互接続を設けるステップとを含む。

【0027】さらに、本発明のもう一つの態様は、電気相互接続を上部半導体層から分離するための絶縁体を設けることを含む。

10 【0028】

【発明の実施の形態】本発明の理解を容易にするために図を参照する。便宜上、特定のタイプの基板または特定のタイプのドーパント不純物あるいはその両方に関して本発明の製造ステップを論じる場合、本発明は、その趣旨から逸脱することなく逆のタイプにも適用できることを理解されたい。たとえば、半導体基板としてp型シリコン基板、拡散または注入されるドーパント不純物としてn型不純物を参照する場合、n型基板およびp型拡散または注入ドーパント不純物も同様に適していることを理解されたい。さらに、n型不純物に関して論じる場合、その加工ステップはp型不純物にも適用され、またその逆も成り立つことを理解されたい。また、「第1タイプ」の不純物および「第2タイプ」の不純物を参照する場合、「第1タイプ」がn型またはp型不純物を示し、「第2タイプ」が逆の導電型を示すことを理解されたい。すなわち、「第1タイプ」がpであれば「第2タイプ」はnである。「第1タイプ」がnであれば「第2タイプ」はpである。

20 【0029】また、本発明は当技術分野で周知のシリコン以外の基板にも適用できる。さらに、ここでは「金属タイプ相互接続材料」または「高導電性相互接続材料」という用語は、アルミニウム、銅、タングステンなどの金属、ならびに高ドーパ・ポリシリコンや金属間シリサイドなどの非金属材料で一般に金属が有する大きさの導電性を有する材料を指す。さらに、「ポリシリコン」および「多結晶シリコン」という用語は従来技術におけると同様にここでも互換的に使用する。

30 【0030】図1はpまたはp+シリコン・ウェハ1中にnウェル領域9を設けるプロセスを示す。nウェル領域9は周知のイオン注入法または拡散法で形成することができる。ウェルが基板と同じ極性を有する場合、ウェルは基板への接点として働く。nウェル内に含まれる第2の注入領域50はp+またはn+ドーパント型のどちらにすることもできる。n+注入の場合、領域50はnウェルの接点として働く。p+注入の場合、領域50および9は(p+注入物とnウェルの間に形成される)p-nダイオード、または(p+注入物とウェルと基板(領域50、9、1)から形成される)縦型バイポーラ・トランジスタとして働く。これらの素子は接触、アナログ機能、またはESDネットワーク、CMOSまたは

50

(6)

9

BiCMOS回路用に用いることができる。シリコン用の典型的なn型ドーパントはリンおよびヒ素である。シリコン用のp型ドーパントにはホウ素が含まれる。絶縁層3がバルク・シリコン・ウェハ1上に形成される。適当な絶縁層の例には二酸化シリコンおよび窒化シリコンがある。酸化物層は、熱酸化法、あるいはガス混合物 $\text{CO}_2/\text{SiH}_4/\text{N}_2$ または $\text{N}_2\text{O}/\text{SiH}_4/\text{N}_2$ を用いて約800~1000℃の温度で行うような二酸化シリコンの化学的気相付着によりシリコン基板1上に成長させることができる。

【0031】この分離層3は埋め込み絶縁層と呼ぶことができる。

【0032】次に、シリコンなどの上部半導体基板材料4を分離層3の上に形成することができる。たとえば、シリコン層4を気固または異質反応系により成長させることができる。特に、そのような反応系は、水素、ケイ素および塩素を含むことが好ましい。典型的な系は、シルベストリ (Silvesteri) およびタン (Tang) の「Reproducible Technique for Simultaneous Deposition of Poly-Epi on Oxide-Silicon」、IBM Technical Disclosure Bulletin, Volume 23, No. 2, July 1980, pp. 810-820 で開示されているような SiCl_4 と H_2 の組み合わせであり、その開示を参照により本明細書に合体する。シリコン層4は、所望の構造に応じてn型またはp型にドーピングすることができる。ドーピングはイオン注入または熱拡散によって行うことができる。図1にはn+ドーピング10を示す。

【0033】次に、誘電層5を、能動デバイス、図1の場合にはゲート6と共に上部半導体基板層4上に形成する。ゲート6は、たとえば、化学的気相付着により多結晶シリコン層を付着させ、続いていくつかの方法のうちの1つでヒ素、リン、アンチモンなどのn型ドーパントでドーピングすることによって形成することができる。ポリシリコン上に厚い追加の二酸化シリコン層を化学的気相付着などによって付着することができる。これは多結晶材料を画定する助けとなるエッチング・マスクとして働く。酸化物7が側面に残っているゲート6は周知の技術で画定することができる。たとえば、既知のリソグラフィ・マスキングおよびエッチング技術に用いられるタイプのレジスト材料層などのゲート・パターン決定層を酸化物の表面の上に配置することができる。当技術分野で周知の感光性重合性レジスト材料のいずれかを使用することができる。レジスト材料はスピンオンやスプレイ・コーティングなどによって塗布することができる。

【0034】レジスト材料層は、塗布した後に光リソグラフィ・マスクを用いて選択的に紫外線で露光させることができる。このマスクはゲートを画定するための所定のパターンの不透明部分を有する透明材料を有する。次に、マスクを付けたウェハに紫外線を照射し、マスクの透明領域の下にあるレジスト材料の部分を重合させる。次に二酸化シリコンとフォトリソグ

10

去し、続いて所望のゲート領域以外のポリシリコン部分を除去する。次に、フォトリソグ材料の残った部分とゲート領域の上の二酸化シリコン材料を除去する。

【0035】次に、絶縁層5を形成する。この絶縁層はアセンブリ上に成長または付着させることができる。これは二酸化シリコンでよく、化学的気相付着で調製することができる。

【0036】次に、上部半導体基板4上の能動デバイスとSOIバルク基板1中の能動デバイスの間に接触トレンチ11を画定する。トレンチは周知のリソグラフィ手段で画定することができる。具体的には、酸化物層5上に感光性材料を塗布し、続いて感光性材料を通常通り画定し現像を行ってトレンチが形成される領域を画定することができる。次に、フォトリソグ材料除去により露出した部分をエフラス (Ephrath) の米国特許第4283249号に開示されているような反応性イオン・エッチング等の周知の方法のいずれかによりエッチングすることができる。同特許の開示を参照により本明細書に合体する。具体的には、フルオロカーボンと水素を供給することのできる気体とを含む気体混合物を使って二酸化シリコンをエッチングすることができる。あるいは、緩衝フッ化水素酸などの液状化学組成物を使って二酸化シリコンを溶解することもできる。次に、ポッジ (Pogge) の米国特許第4256514号に開示されているような反応性イオン・プロセスを使って露出したシリコン層をエッチングすることができる。同特許の開示を参照により本明細書に合体する。

【0037】次に、反応性イオン・エッチングなどを使って酸化物層3をエッチングして、トレンチを完成させる。

【0038】次に、トレンチ11を金属タイプ高導電性電気相互接続材料12 (図2参照) で充填して、埋め込み酸化物の上と下またはその内部のデバイス間に電気相互接続を提供する。電気相互接続にはタングステン、銅、アルミニウムなどの金属、ならびに高ドーパ多結晶シリコンを含むことができる。トレンチは、エフラス (Ephrath) 他の米国特許第4473598号に開示される技術により、高ドーパ多結晶シリコンで充填することができる。同特許の開示を参照により本明細書に合体する。金属は化学的気相付着によりまたは適当なサイズの金属線を形成することにより提供することができる。金属の場合、接着を強化するために、通常はチタンやタンタル13などの中間層を酸化物およびシリコン層とタングステン、銅、またはアルミニウムとの間に提供する。たとえば、タングステンおよびアルミニウムを使用する場合、通常はチタン・クラッドを使用する。銅を使用する場合、通常はタンタル・クラッドを使用する。

【0039】図2は、ゲート構造6または他のCMOSデバイスなどのデバイスとバルク能動デバイスとの間の電気相互接続を示す。

11

【0040】図3および4は、本発明の別の実施形態として、上部シリコン層内に分離トレンチ14を形成するプロセスを示す。この場合、用いられる手順は、最初にn型ウェル9など上記で論じた能動デバイスをSOIバルク・シリコン内に形成するステップを含む。続いて、ボンダー（Bondur）他の米国特許第4104086号に開示されるような周知の技術を用いて、上部シリコン層4中に分離トレンチ14を形成する。同特許の開示を参照により本明細書に合体する。次に、絶縁トレンチを酸化物または誘電体で充填し、続いてシリコン表面に合わせて平面化を行う。分離トレンチを形成するもう一つの技術が、クロニン（Cronin）他の米国特許第5312777号に開示されている。同特許の開示を参照により本明細書に合体する。この技術では、接点ホール内に接点を周囲の膜から電気的に分離するスペーサを形成する。この技術は、相互接続をシリコン上部層から分離するスペーサを相互接続構造中に形成するために用いることができる。

【0041】図3に示すように絶縁体14を設けた後、上記の順序に従ってデバイスを製作し、図4に示す構造を形成する。次に、示された表面に垂直な平面内に製作したデバイスへの接点を作ることができる。

【0042】上記のように、ウェル領域9は領域1内に含まれる第2の領域50を含むことができる。バルク・デバイスの機能はその3つの領域のドーパントの極性に依存する。領域9、領域50、および領域1が同じである場合、それはバルク電気接点または熱接点である。領域9および領域50が同じで、領域1が逆である場合、これはダイオードである。領域9および領域1が同じで、領域50が逆である場合、これはダイオードである。領域50および領域1が同じで、領域9が逆である場合、これはバイポーラ・トランジスタである。

【0043】図5は、基板20内の能動領域21がドープした能動層23と相互接続されている本発明による構造を示す。基板23および20は埋め込み絶縁層22によって分離されている。層領域24および25の上には、同一または逆の極性の注入物、たとえばソース/ドレインMOSFET注入物がある。電気相互接続26は、たとえば絶縁体27および上部絶縁体28によって部分的に分離される。

【0044】領域21は、バルク基板20と同じまたは逆の極性の少なくとも一つの注入物とすることができる。この構造の機能は3つの領域のドーパントの極性に依存する。領域23、領域21、および領域20が同じである場合、これはバルク電気接点または熱接点である。この場合、これはまたSOI MOSFET「ボディ接点」として働く。領域23、および領域21が同じで、領域20が逆である場合、SOI MOSFET本体と領域21はバルク基板に対するダイオードを形成する。第2の場合、ダイオードは回路応用例、電圧クランプ、ESD保護、およびその他の回路機能用に使用する

(7)

12

ことができる。

【0045】図6は、相互接続26がシリコン23の上までずっと延びること、および絶縁28を含まないこと以外は、図5に示した構造に類似の構造を示す。図6の構造はSOI MOSFET本体およびバルク・デバイスへの上部接点を提供する。その結果、これはMOSFET「ボディ」接点およびバルク・デバイス接点として働く。領域21の極性が領域20と同じである場合、これはMOSFETボディ接点としてもバルク接点としても働く。

【0046】導電性領域32はSOI MOSFETの第2ゲートとして働く。この場合、導電性領域32はSOI MOSFETチャネル領域の下に配置し、ゲート絶縁体は導電性領域32の上の膜35と埋め込み酸化物領域35の間に形成しなければならない。この第2のゲートは改良されたSOI MOSFETの特性を達成する。導電性領域32は、下のバルク内の厚いバルク酸化物MOSFET用のゲートとしても働くことができる。この場合、ゲート誘電体は導電膜32の下に埋め込み酸化物領域である。

【0047】図7は、基板30の上の埋め込み絶縁層31中に埋め込まれた導体32を相互接続体33に相互接続するための構造を示す。相互接続体33はこの図の面に垂直な位置による能動デバイス（図示せず）に接続することができる。前記のように、絶縁層34は相互接続体33を上部シリコン基板35から完全に分離する。さらに、絶縁体36は相互接続導体33を基板35の上面から分離する。図7の特定の形状はSIBONDプロセスを用いて製作することができる。SIBONDプロセスでは、それぞれ酸化物層を有する2枚のウェハを一緒に焼製して、その酸化物層を互いに接触させる。具体的には、酸化物がその上に形成された第1のシリコン基板をエッチングして、ビアまたはコンジットを形成し、その後それを充填して導体32を形成する。次に、酸化物層をその上に有するシリコン・ウェハを隣接する酸化物層と接触させ、2枚のシリコン・ウェハの間に酸化物のサンドイッチを形成する。その構造を次に約1300℃ないし約1400℃の温度で数時間焼成し、その後、上部シリコン層35を研磨にかけてその厚みを減らす。この後、デバイスの残り部分を上記の方法で製作する。導体32はバック・ゲートまたは配線レベルへの接点として働き、導体32はこの図の面に垂直に位置する能動デバイス（図示せず）に接続することができる。

【0048】図8は、相互接続導体33が上部基板35の上面に延び、図7の構造のように基板35の上面から分離されていないこと以外は図7の構造に類似した構造を示す。この場合、一適用例は導電性領域32にバイアスをつけることのできる能力である。このようにして、バックゲートにバイアスをかけて、上部のゲートと底部のゲートを使用する改良されたSOI MOSFET特

13

性を達成することができる。

【0049】図9は、分離領域34が上部シリコン基板層35の底部まで延びていず、相互接続体33とドーピングしたシリコン層35の領域と導体32との間の電気接触が可能になること以外は図8の構造に類似している。この場合、一適用例は、導電性領域32を本体35に接続することであり、MOSFETのゲートと本体の相互接続を提供する。これは、デバイスのゲートと本体が互いに接続された動的閾値MOSFET（DTMOSデバイス）に適用される。

【0050】図10は、相互接続体33が導体32とシリコン基板30の能動領域40まで延びて接続すること以外は図8に類似する。この場合、一適用例は、導電性領域32をバルク・デバイスに接続することである。領域33のドーパントがバルク領域30と同じ場合、適用例はバック・ゲート導電膜を接地できる能力である。領域33のドーパントがバルク領域30とは逆の場合、一適用例はバック・ゲート導電膜32をダイオード構造に接続できる能力である。これはバック・ゲート構造の帯電を防止するためのゲートタイ・ダウンに適用される。

【0051】図11は、分離34が上部シリコン基板の底部まで延びていず、半導体基板35と導体33と能動領域32の間の相互接続が相互接続体33によって可能であること以外は図10の構造に類似した構造を示す。この場合、一適用例は、導電性領域32をバルク・デバイスおよびMOSFET35の本体に接続することである。領域40のドーパントがバルク領域30と同じ場合、適用例はバック・ゲート導電膜32およびシリコン膜35を接地できる能力である。領域40のドーパントがバルク領域30とは逆の場合、適用例はバックゲート導電膜および膜35をバルク・ダイオード構造に接続できる能力である。これは動的閾値SOIMOSFETESDネットワーク、過電圧、充電、および他の回路応用例に適用される。

【0052】本発明により無数の異なる構造を創出できることが理解できよう。また導体32に隣接する分離34が導体33の片側にのみ延びる種々の構造を創出できることを理解されたい。

【0053】まとめとして、本発明の構成に関して以下の事項を開示する。

【0054】(1) バルク能動デバイスおよびSOIデバイスと、前記バルク能動デバイスと前記SOIデバイスを電気的に相互接続する導電性スタッドとを備えるSOI半導体デバイス。

(2) 前記導電性スタッドが、タングステン、銅、アルミニウム、高ドーピング多結晶シリコンからなる群から選択された高導電性導電材料である、上記(1)に記載のSOI半導体デバイス。

(3) 絶縁体が二酸化シリコンである、上記(1)に記載のSOI半導体デバイス。

(8)

14

(4) 前記導電性スタッドが前記半導体デバイスの上部半導体基板材料の上面に延びる、上記(1)に記載のSOI半導体デバイス。

(5) 前記導電性スタッドが前記半導体デバイスの上部半導体基板材料の上面から電気的に分離されている、上記(1)に記載のSOI半導体デバイス。

(6) 前記導電性スタッドが前記半導体デバイスの上部半導体基板材料から電気的に分離されている、上記

(1)に記載のSOI半導体デバイス。

10 (7) 前記導電性スタッドが前記半導体デバイスの上部半導体基板材料から部分的にのみ電気的に分離されている、上記(1)に記載のSOI半導体デバイス。

(8) 能動デバイス領域をその中に有するシリコン基板と、上記シリコン基板の上に配置された埋め込み二酸化シリコン絶縁体層と、前記埋め込み二酸化シリコン絶縁体層の上に配置された能動デバイス領域を有する上部シリコン層と、前記シリコン基板内の能動領域を前記埋め込み二酸化シリコンの上の能動デバイス領域に相互接続する導電性スタッドと、前記スタッドを前記上部シリコン層から少なくとも部分的に電気絶縁する絶縁体とを備える、上記(1)に記載のSOI半導体デバイス。

(9) 前記スタッドを前記上部シリコン層の上面から電気的に分離する絶縁体をさらに含む、上記(8)に記載のSOI半導体デバイス。

(10) 前記スタッドが前記上部シリコン層の上面に延びる、上記(8)に記載のSOI半導体デバイス。

30 (11) シリコン基板と、前記シリコン基板の上であり、導電性領域をその中に有する埋め込み二酸化シリコン絶縁体層と、前記埋め込み二酸化シリコン絶縁体層の上に配置された能動デバイス領域を有する上部シリコン層と、前記埋め込み二酸化シリコン絶縁体層中に配置された導電性領域を前記埋め込み二酸化シリコンの上の能動デバイス領域に電気的に相互接続する導電性スタッドと、前記スタッドを前記上部シリコン層から少なくとも部分的に電気的に絶縁する絶縁体とを含む、上記(1)に記載のSOI半導体デバイス。

(12) 前記スタッドを前記上部シリコン層の上面から電気的に分離する絶縁体をさらに含む、上記(11)に記載のSOI半導体デバイス。

40 (13) 前記スタッドが前記上部シリコン層の上面に延びる、上記(11)に記載のSOI半導体デバイス。

(14) 能動領域をその中に有するシリコン基板と、前記シリコン基板の上に配置され、導電性領域をその中に有する埋め込み二酸化シリコン層と、前記埋め込み二酸化シリコン絶縁体層の上に配置された能動デバイス領域を有する上部シリコン層と、前記埋め込み二酸化シリコン絶縁体層中に配置された前記導電性領域を前記シリコン基板内の能動領域に相互接続する導電性スタッドと、前記スタッドを前記上部シリコン層から少なくとも部分的に電気的に絶縁する絶縁体とを含む、上記(1)に記載

50

15

載のSOI半導体デバイス。

(15) 前記スタッドが前記上部シリコン層の上面に延びる、上記(14)に記載のSOI半導体デバイス。

(16) 前記スタッドが前記上部シリコン層内の能動デバイス領域をも相互接続する、上記(14)に記載のSOI半導体デバイス。

(17) SOI半導体デバイス中のバルク能動デバイスとSOIデバイスとの間の電氣的相互接続を製作し形成する方法であって、

- a) SOIバルク基板内に能動デバイスを設けるステップと、
- b) 前記SOIバルク基板の上に上部半導体基板材料を設けるステップと、
- c) 前記上部半導体基板材料上に能動デバイスを設けるステップと、
- d) 前記上部半導体基板上に誘電体層を設けるステップと、
- e) 上部半導体基板材料上の能動デバイスと前記SOIバルク基板内の能動デバイスとの間に接触トレンチを画定するステップと、
- f) 前記トレンチ内に金属タイプの高導電性電気相互接続材料を付着させて前記電気相互接続を設けるステップを含む方法。

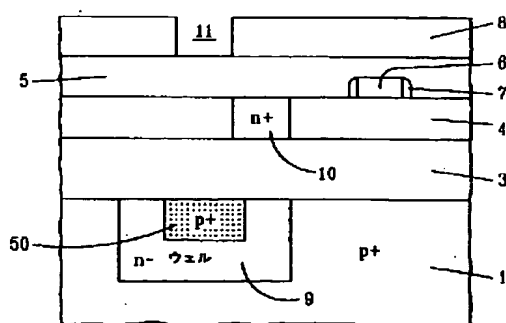
(18) 前記高導電性電気相互接続材料が、タングステン、銅、アルミニウム、および高ドーパ多結晶シリコンからなる群から選択される、上記(17)に記載の方法。

(19) 前記誘電体層が二酸化シリコンである、上記(17)に記載の方法。

(20) 電気相互接続を上部半導体層から少なくとも部分的に分離するために絶縁体を設けるステップをさらに含む、上記(17)に記載の方法。

(21) 上部半導体層から電気相互接続を少なくとも部分的に分離するために絶縁体を設ける前記ステップをス

【図1】



(9)

16

テップbとステップcとの間に実施する、上記(20)に記載の方法。

(22) 上記(20)に記載の方法によって得られるSOI半導体デバイス。

(23) 上記(17)に記載の方法によって得られるSOI半導体デバイス。

【図面の簡単な説明】

【図1】 本発明による加工の異なる段階における構造の概略図である。

【図2】 本発明による加工の異なる段階における構造の概略図である。

【図3】 分離トレンチを用いる本発明の実施形態の異なる段階における構造の概略図である。

【図4】 分離トレンチを用いる本発明の実施形態の異なる段階における構造の概略図である。

【図5】 本発明による構造の等角図である。

【図6】 本発明の他の実施形態の等角図である。

【図7】 本発明の他の実施形態の概略図である。

【図8】 本発明の他の実施形態の部分等角図である。

【図9】 本発明の他の実施形態の部分等角図である。

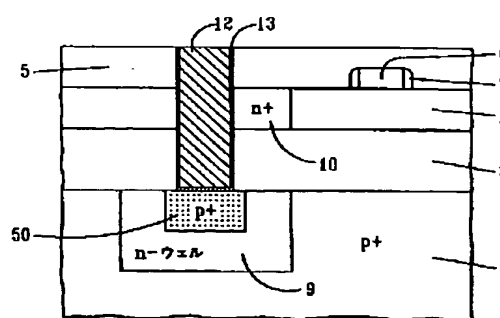
【図10】 本発明の他の実施形態の部分等角図である。

【図11】 本発明の他の実施形態の部分等角図である。

【符号の説明】

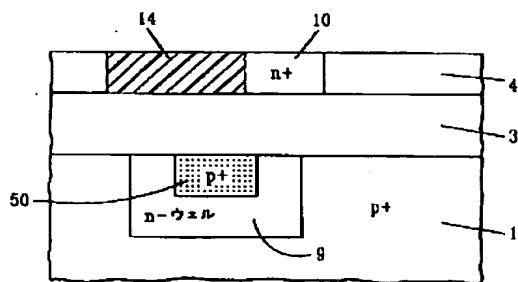
- 1 ウエハ
- 3 絶縁層
- 4 基板
- 5 誘電層
- 6 ゲート
- 7 酸化物
- 9 ウェル
- 11 トレンチ
- 12 相互接続
- 14 トレンチ

【図2】

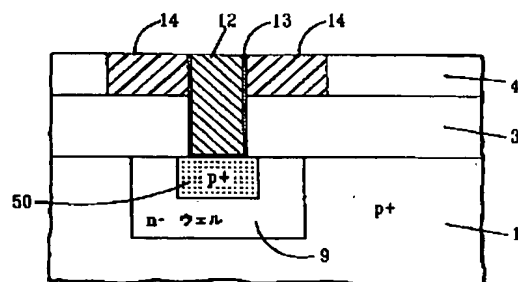


(10)

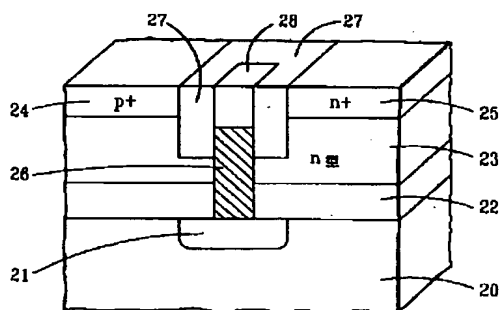
【図3】



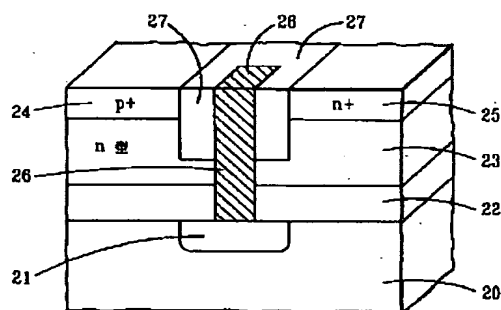
【図4】



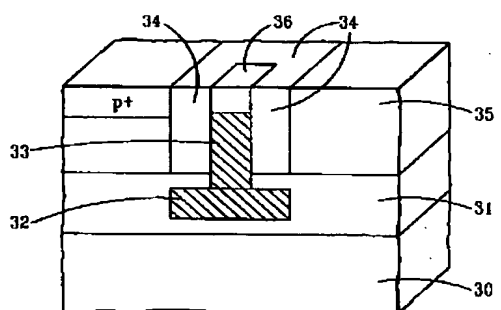
【図5】



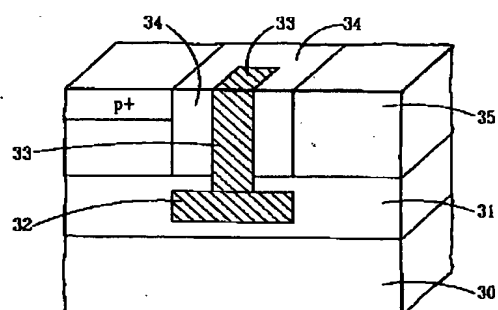
【図6】



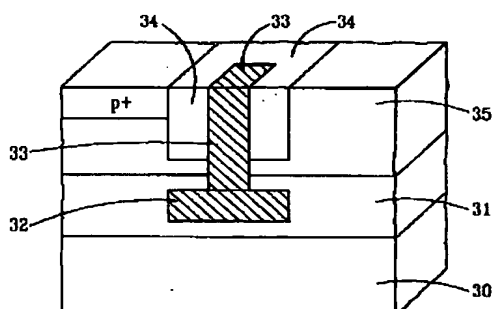
【図7】



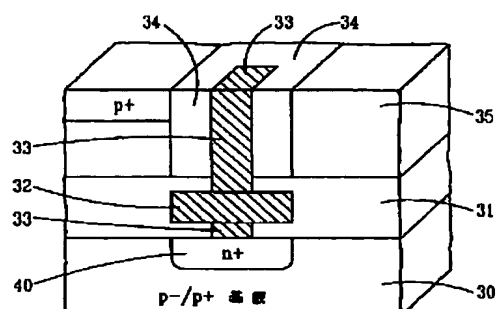
【図8】



【図9】

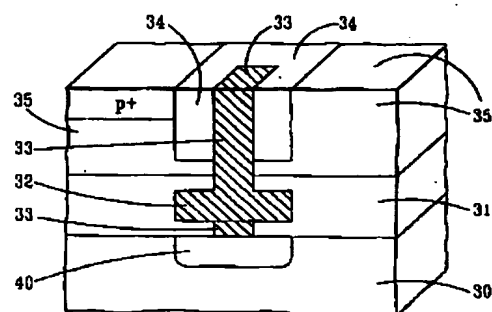


【図10】



(11)

【図11】



フロントページの続き

(72)発明者 スティーブン・エイチ・ヴォールドマン
 アメリカ合衆国05403 バーモント州サウ
 ス・バーリントン オールド・ファーム・
 ロード 75